



11-27-00
Jc584 U.S. PRO
09/574541
05/19/00

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

출원번호 : 특허출원 1999년 제 18244 호
Application Number

출원년월일 : 1999년 05월 20일
Date of Application

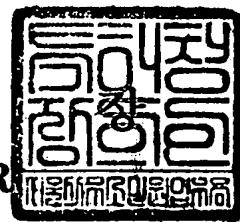
출원인 : 아남반도체 주식회사
Applicant(s)



2000년 03월 03일

특허청

COMMISSIONER



【서류명】	출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	1
【제출일자】	1999.05.20
【국제특허분류】	H01L
【발명의 명칭】	반도체패키지 및 그 제조방법
【발명의 영문명칭】	semi-conductor package and manufacturing method thereof
【출원인】	
【명칭】	아남반도체주식회사
【출원인코드】	1-1998-002671-9
【대리인】	
【성명】	서만규
【대리인코드】	9-1998-000260-4
【포괄위임등록번호】	1999-022718-2
【대리인】	
【성명】	최용원
【대리인코드】	9-1998-000658-1
【포괄위임등록번호】	1999-022711-1
【발명자】	
【성명의 국문표기】	신원선
【성명의 영문표기】	SIN, Won sun
【주민등록번호】	620803-1009418
【우편번호】	472-900
【주소】	경기도 남양주시 와부읍 덕소리 현대아파트 101-109호
【국적】	KR
【발명자】	
【성명의 국문표기】	전도성
【성명의 영문표기】	CHUN, Do sung
【주소】	미합중국 아리조나주 85226 챔들러 900노스 루를로드 #2055
【국적】	US

【발명자】

【성명의 국문표기】 이상호

【성명의 영문표기】 LEE, Sang ho

【주민등록번호】 701120-1267310

【우편번호】 131-120

【주소】 서울특별시 종로구 종화동 284-13

【국적】 KR

【취지】

특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대
리인 서만
규 (인) 대리인
최용원 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 8 면 8,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 0 항 0 원

【합계】 37,000 원

【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

이 발명은 반도체패키지 및 그 제조 방법에 관한 것으로, 반도체패키지의 두께를 초박형으로 하는 동시에 열방출 성능을 향상시키기 위해, 제1면과 제2면을 가지며, 상기 제2면에는 다수의 입출력패드가 형성된 반도체칩과; 제1면과 제2면을 가지는 수지층과, 상기 수지층의 제1면에는 다수의 블랜드가 형성되고 상기 수지층의 제2면에는 다수의 본드핑거가 형성되며 상기 블랜드와 본드핑거는 도전성비아홀을 연결되는 회로패턴층과, 상기 다수의 본드핑거와 블랜드를 오프닝시키며 회로패턴층을 뒤덮고 있는 커버코트층으로 구성되며, 중앙에는 관통공이 형성되어 있고, 이 관통공에는 상기 반도체칩이 위치되는 회로기판과; 상기 반도체칩의 입출력패드와 상기 회로기판의 본드핑거를 전기적으로 접속시키는 전기적 접속수단과; 상기 반도체칩, 접속수단 및 회로기판의 일부를 감싸고 있는 봉지재와; 상기 회로기판의 블랜드에 용착된 다수의 도전성볼을 포함하여 이루어진 반도체패키지.

【대표도】

도 1

【명세서】

【발명의 명칭】

반도체패키지 및 그 제조 방법{semi-conductor package and manufacturing method thereof}

【도면의 간단한 설명】

도1 내지 도5는 본 발명에 의한 반도체패키지를 도시한 단면도이다.

도6a 내지 도6f는 본 발명에 의한 반도체패키지의 제조 방법을 도시한 순차 설명도이다.

도7은 종래의 반도체패키지를 도시한 단면도이다.

- 도면중 주요 부호에 대한 설명 -

2; 반도체칩 2a; 반도체칩의 제1면

2b; 반도체칩의 제2면 4; 입출력패드

6; 접속수단 10; 회로기판

11; 수지층 11a; 회로기판의 제1면

11b; 회로기판의 제2면 12; 본드핑거

14; 도전성 비아홀 15; 블랜드

16; 커버코트 17; 땜

18; 관통공 20; 봉지재

30; 도전성볼 C; 폐쇄부재

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<14> 본 발명은 반도체패키지 및 그 제조 방법에 관한 것으로, 보다 상세하게 설명하면 반도체패키지의 두께를 초박형으로 하는 동시에 열방출 성능을 향상시킬 수 있는 반도체 패키지 및 그 제조 방법에 관한 것이다.

<15> 최근의 반도체패키지는 볼그리드어레이(ball grid array) 반도체패키지(이하, BGA 반도체패키지라 함), 칩스케일(chip scale) 반도체패키지 및 마이크로볼그리드어레이(micro ball grid array) 반도체패키지 등과 같이 점차 소형화 및 박형화 추세에 있다.

<16> 또한, 이러한 반도체패키지에 탑재되는 반도체칩도 집적기술 및 제조장비의 발달로 인해 전력회로의 고성능화, 동작 주파수의 증가 및 회로기능이 확대됨으로써 점차 그 반도체칩의 작동중 발생하는 열이 증가하는 추세 있다.

<17> 이러한 반도체패키지중에서 종래의 일반적인 BGA 반도체패키지를 도7에 도시하였다.

<18> 다수의 전자회로가 집적되어 있고 그 표면에는 입출력패드(2')가 형성되어 있는 반도체칩(1')이 중앙에 위치되어 있고, 상기 반도체칩(1')의 저면에는 접착제(3')가 개재된 채 인쇄회로기판(10')의 상면 중앙부가 접착되어 있다.

<19> 상기한 인쇄회로기판(10')은 중앙의 수지층(15')을 중심으로 하여 그 상부에는 상기 반도체칩(1')을 중심으로 그 외주연에 본드핑거(11'), 연결부(12') 등의 회로패턴층이 형성되어 있고, 하부에는 다수의 볼랜드(13')가 형성되어 있다. 물론 상기 회로패턴

총을 이루는 본드핑거(11'), 연결부(12') 및 블랜드(13')는 구리 등의 도전성 계열이며, 상기 수지층(15') 상부의 연결부(12')와 하부의 블랜드(13')는 도전성비아홀(14')로 연결되어 있다. 그리고, 상기 본드핑거(11') 및 블랜드(13')를 제외한 수지층(15')의 상, 하부 표면은 커버코트(16')로 코팅되어 외부환경으로부터 상기 회로패턴층 등이 보호될 수 있도록 되어 있다.

<20> 한편, 상기 반도체칩(1')의 입출력패드(2')는 인쇄회로기판(10')의 상면에 형성된 본드핑거(11')와 도전성와이어(4')로 연결되어 있으며, 상기 반도체칩(1') 및 도전성와이어(4')를 외부 환경으로부터 보호하기 위해 인쇄회로기판(10') 상면은 봉지재(20')로 봉지되어 있다.

<21> 또한 상기 인쇄회로기판(10') 저면에 형성된 블랜드(13')에는 다수의 도전성볼(40')이 용착된 채 마더보드(도시되지 않음)에 실장되어 반도체칩(1') 및 마더보드간에 소정의 전기적 신호를 매개할 수 있도록 되어 있다.

<22> 이러한 구성을 하는 BGA반도체패키지는 반도체칩(1')의 전기적 신호가 입출력패드(2'), 도전성와이어(4'), 본드핑거(11'), 연결부(12'), 비아홀(14'), 블랜드(13') 및 도전성볼(40')을 통하여 마더보드와 전기적으로 신호를 교환하게 된다.

<23> 그러나 이러한 종래의 BGA 반도체패키지는 반도체칩이 비교적 두께가 큰 인쇄회로기판 상면에 접착됨으로써, 전체적인 반도체패키지의 두께가 커지게 된다. 이는 전술한 바와 같이 최근의 소형화, 박형화 추세에 따르지 못하게 되며, 결국 여러 가지 초소형 전자기기 예를 들면, 휴대전화, 셀룰러 폰, 무선호출기 등에의 사용에 부적합한 문제점이 있다.

<24> 또한, 전술한 바와 같이 반도체칩에서 발생하는 열은 증가 추세 있는 반면, 적절한 방열수단이 없음으로써, 반도체칩의 전기적 성능 저하는 물론 반도체칩의 기능이 마비 됨으로써 결국 상기 반도체칩을 채용한 반도체패키지 또는 전자기기의 기능이 정지되는 문제가 발생되기도 한다.

<25> 한편, 상기의 반도체칩에서 발생하는 열을 외부로 용이하게 방출하기 위한 방열판이 탑재된 반도체패키지가 개시된 바 있지만, 이 경우에는 상기 방열판의 추가로 인해 반도체패키지의 두께가 더욱 두꺼워지고 제조 가격 또한 상승하는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<26> 따라서 본 발명은 상기와 같은 종래의 문제점을 해결하기 위해 발명한 것으로, 반도체패키지의 두께를 초박형으로 할 수 있는 반도체패키지 및 그 제조 방법을 제공하는 데 있다.

<27> 본 발명의 다른 목적은 반도체칩의 열을 외부로 용이하게 방출시킬 수 있는 반도체패키지 및 그 제조 방법을 제공하는데 있다.

【발명의 구성 및 작용】

<28> 상기한 목적을 달성하기 위해 본 발명에 의한 반도체패키지는 제1면과 제2면을 가지며, 상기 제2면에는 다수의 입출력패드가 형성된 반도체칩과; 제1면과 제2면을 가지는 수지층과, 상기 수지층의 제1면에는 다수의 볼랜드가 형성되고 상기 수지층의 제2면에는 다수의 본드핑거가 형성되며 상기 볼랜드와 본드핑거는 도전성비아홀을 연결되는 회로패턴층과, 상기 다수의 본드핑거와 볼랜드를 오프닝시키며 회로패턴층을 뒤덮고 있는 커버코트층으로 구성되며, 중앙에는 관통공이 형성되어 있고, 이 관통공에는 상기 반도

체칩이 위치되는 회로기판과; 상기 반도체칩의 입출력패드와 상기 회로기판의 본드핑거를 전기적으로 접속시키는 전기적 접속수단과; 상기 반도체칩, 접속수단 및 회로기판의 일부를 감싸고 있는 봉지재와; 상기 회로기판의 볼랜드에 용착된 다수의 도전성볼을 포함하여 이루어진 것을 특징으로 한다.

<29> 상기 반도체칩의 제2면과, 본드핑거가 형성된 회로기판 면은 동일방향으로 형성하고, 상기 반도체칩의 제1면과 볼랜드가 형성된 면의 상기 회로기판 면, 및 봉지재의 일면은 동일 평면이 되도록 함이 바람직하다.

<30> 상기 봉지재는 본드핑거가 형성된 회로기판 면 전체에 형성함이 바람직하다.

<31> 상기 볼랜드는 본드핑거가 형성된 회로기판 면에도 형성할 수 있다.

<32> 상기 본드핑거가 형성된 회로기판면의 볼랜드에도 도전성볼을 용착할 수 있다.

<33> 상기 반도체칩의 제1면에는 회로기판의 관통공을 덮을 수 있도록 절연 테이지.

<34> 상기한 목적을 달성하기 위해 본 발명에 의한 반도체패키지의 제조 방법은 수지층을 중심으로 상면에는 다수의 본드핑거가 형성되고, 저면에는 다수의 볼랜드가 형성되며, 상기 본드핑거와 볼랜드는 도전성비아홀로 연결되고, 다수의 관통공이 형성되어 있는 스트립상의 회로기판을 제공하는 단계와; 상면에 다수의 입출력패드를 가지는 다수의 반도체칩을 상기 회로기판의 각 관통공내에 위치시키는 단계와; 상기 반도체칩의 입출력패드와 회로기판의 본드핑거를 전기적으로 접속시키는 단계와; 상기 반도체칩, 접속수단, 및 회로기판의 일정영역을 봉지재로 봉지하는 단계와; 상기 회로기판의 볼랜드에 도전성볼을 용착하여 입출력단자를 형성하는 단계와; 상기 스트립상의 회로기판에서 날개의 반도체패키지로 싱글레이션하는 단계를 포함하여 이루어진 것을 특징으로 한다.

<35> 상기 반도체칩을 회로기판의 관통공 내에 위치시키는 단계전에, 다수의 볼랜드가 형성된 상기 회로기판면에 관통공 폐쇄부재를 더 부착함이 바람직하다.

<36> 상기 회로기판의 볼랜드에 도전성볼을 용착하여 입출력단자를 형성하는 단계 전, 도전성볼을 용착하여 입출력단자를 형성하는 단계 후, 또는 싱글레이션 단계 후 중 어느 한 단계에서 상기 폐쇄부재를 제거함이 바람직하다.

<37> 상기 폐쇄부재는 절연 테이프를 이용함이 바람직하며, 더욱 바람직하기로는 자외선 테이프를 이용한다. 또한 상기 폐쇄부재로서 열도전성이 우수한 구리층을 사용할 수도 있다.

<38> 상기 봉지 단계는 본드핑거가 형성된 회로기판 면 전체에 형성함이 바람직하다. 상기와 같이 봉지재가 회로기판 면 전체에 형성된 경우에는 봉지재와 회로기판을 함께 싱글레이션한다.

<39> 상기 회로기판 제공 단계는 본드핑거가 형성된 회로기판면에도 다수의 볼랜드를 형성할 수 있다. 상기 본드핑거가 형성된 회로기판면의 볼랜드에도 다수의 도전성볼을 더 용착할 수 있다.

<40> 이와 같이 하여, 본 발명에 의한 반도체패키지 및 그 제조 방법에 의하면 회로기판에 일정 넓이의 관통공이 형성되고, 그 관통공에 반도체칩이 위치됨으로써, 그 반도체칩의 두께가 상기 회로기판의 두께에 의해 상쇄되어 결국 반도체패키지의 두께를 초박형으로 제조할 수 있게 된다.

<41> 또한, 반도체칩의 일면이 봉지재의 외부로 직접 노출됨으로써, 그 반도체칩에서 발생하는 열이 외부 공기중으로 용이하게 발산되어, 반도체칩의 열적, 전기적 성능이 향상

된다.

<42> 또한, 상기 회로기판의 일면 전체를 봉지재로 봉지하는 것도 가능함으로써, 상기 회로기판의 휩 현상을 억제할 수도 있다.

<43> 이하 본 발명이 속한 기술분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있을 정도로 본 발명의 바람직한 실시예를 첨부된 도면을 참조하여 상세하게 설명하면 다음과 같다.

<44> 도1 내지 도5는 본 발명에 의한 반도체패키지를 도시한 단면도이다.

<45> 먼저, 도1을 참조하면, 하부와 상부에 각각 제1면(2a) 및 제2면(2b)을 가지며, 상기 상부의 제2면(2b)에는 다수의 입출력패드(4)가 형성된 반도체칩(2)이 구비되어 있다.

<46> 상기 반도체칩(2)은 회로기판(10)에 형성된 일정 크기의 관통공(18) 내측에 위치되어 있다. 상기 관통공(18)의 넓이는 상기 반도체칩(2)의 제1면(2a) 또는 제2면(2b)의 면적보다 크게 형성되어 있다. 상기 회로기판(10)은 하부와 상부에 각각 제1면(11a) 및 제2면(11b)을 갖는 수지층(11)을 중심으로, 상기한 바와 같이 반도체칩(2)이 위치하는 영역에 관통공(18)이 형성되어 있고, 상기 관통공(18)의 외측인 수지층(11)의 제1면(11a)에는 블랜드(15)를 포함하는 다수의 도전성 회로패턴층이 형성되어 있다. 또한 상기 수지층(11)의 제2면(11b)에는 본드핑거(12) 등을 포함하는 다수의 도전성 회로패턴층이 형성되어 있고, 상기 제1면(11a) 및 제2면(11b)의 회로패턴층은 도전성 비아홀(14)에 의해 서로 전기적으로 연결되어 있다.

<47> 여기서, 상기 본드핑거(12)에는 차후 접속수단(6)과의 용이한 본딩을 위하여 금(Au) 또는 은(Ag)을 도금하는 것이 바람직하고, 블랜드(15)에는 차후 도전성볼(30)과의

용이한 본딩을 위해 금(Au), 은(Au), 니켈(Ni) 및 팔라디움(Pd) 등을 도금하는 것이 바람직하다. 또한 상기 수지층(11)은 경성(硬性)을 갖는 BT(bismaleimide triazine) 에폭시 수지층으로 함이 바람직하다.

<48> 상기 도전성 회로패턴층은 외부의 물리적, 화학적, 전기적 및 기계적 충격 등으로부터 보호되도록 커버코트(16)가 코팅되어 되어, 상기 회로패턴층 중 본드핑거(12) 및 볼랜드(15)는 커버코트(16)에 의해 개방되어 있다. 상기 커버코트(16)는 일반적인 절연성의 고분자 수지이다.

<49> 상기 반도체칩(2)의 입출력패드(4)와 상기 회로기판(10)의 회로패턴층 중 본드핑거(12)는 상호 전기적으로 도통되도록 도전성 접속수단(6)으로 접속되어 있다. 여기서, 상기 도전성 접속수단(6)은 금(Au) 와이어나 알루미늄(Al) 와이어 같은 도전성 와이어를 이용하거나, 또는 본드핑거(12)에 연장되어 형성된 리드(lead)를 이용할 수 있다.

<50> 한편, 상기 반도체칩(2), 접속수단(6) 등은 외부의 물리적, 화학적 및 기계적 충격 등으로부터 보호되도록 봉지재(20)로 봉지되어 있다. 이때, 상기 봉지재(20)는 도1에서와 같이 회로기판(10)의 상면 전체에 형성할 수 있다. 상기와 같이 회로기판(10)의 상면 전체에 봉지재(20)를 형성함으로써 회로기판(10)의 휨 현상을 방지할 수 있는 장점이 있다. 또한, 도2에서와 같이 반도체칩(2), 접속수단(6) 및 본드핑거(12)가 형성된 회로기판(10)의 일부 영역만을 봉지재(20)로 봉지할 수도 있다. 더불어, 상기 봉지재(20)는 도1,2에서와 같이 금형을 사용하는 에폭시몰딩컴파운드(epoxy molding compound)를 이용할 수 있고, 도3에서와 같이 디스펜서(dispenser)를 사용하여 봉지하는 액상봉지재를 이용할 수 도 있다. 이때, 회로기판(10)의 상면에는 봉지중 액상봉지재가 외측으로 흘러나가지 못하도록 땜(17)을 형성함이 바람직하다. 또한, 상기 도1의 반도체패키지에서도 마

찬가지로 액상봉지재를 사용할 수 있으며, 이는 제한적이지 않다.

<51> 상기 반도체칩(2)의 제2면(2b)과, 본드핑거(12)가 형성된 회로기판(10) 면은 동일 방향으로 형성되어 있고, 상기 반도체칩(2)의 제1면(2a)과 블랜드(15)가 형성된 면의 상기 회로기판(10) 면, 봉지재(20)의 일면은 동일 평면을 이룸으로써, 반도체패키지가 박형화되며 또한 상기 반도체칩(2)의 제1면(2a)은 봉지재(20)의 외측으로 노출되어 있음으로써, 반도체칩(2)의 열이 외부로 용이하게 방출된다.

<52> 상기 회로기판(10)의 회로패턴층 중 즉, 수지층(11)의 제1면(11a)에 형성된 다수의 블랜드(15)에는 주석(Sn), 납(Pb) 또는 이들의 합금으로 이루어지는 다수의 도전성볼(30)이 용착됨으로써, 차후 마더보드에 실장 가능하도록 되어 있다.

<53> 한편, 도4에 도시된 바와 같이 상기 수지층(11)의 제2면(11b)에 형성된 회로패턴층에도 다수의 블랜드(15)를 더 형성할 수도 있다. 상기 블랜드(15) 상에는 커버코트(16)가 형성되지 않고 오픈(open)되어 있으며, 이는 차후 다수의 반도체패키지를 적층할 수 있음을 의미한다. 즉, 도5에 도시된 바와 같이 상기 수지층(11)의 제2면(11b)에 형성된 블랜드(15)에 다수의 도전성볼(30)을 더 용착함으로써 다수의 반도체패키지가 적층 가능하게 된다.

<54> 또한, 상기 도1 내지 도4에 도시된 반도체 패키지는 반도체칩(2)의 제1면(2a) 내지 관통공(18) 전체에 폐쇄부재(도시되지 않음)를 더 부착할 수 있다. 상기 폐쇄부재는 바람직하기로 반도체칩(2)의 제1면(2a)을 보호할 수 있도록 절연 테이프를 이용하거나, 또는 반도체칩(2)의 열방출률을 향상시킬 수 있도록 구리층으로 할 수 있다.

<55> 다음으로, 도6a 내지 도6f는 본 발명에 의한 반도체패키지의 제조 방법을 도시한

순차 설명도이며, 이를 이용하여 그 제조 방법을 설명하면 다음과 같다.

<56> 먼저 제1면(2a)과 제2면(2b)을 갖는 반도체칩(2)이 위치될 정도로 다수의 관통공(18)이 구비된 제1면(11a)과 제2면(11b)을 갖는 수지층(11)을 기본층으로 하여, 그 제1면(11a)에는 다수의 블랜드(15)가 형성되고, 제2면(11b)에는 다수의 본드핑거(12)가 형성된 도전성 회로패턴층을 형성하고, 상기 제1면(11a) 및 제2면(11b)의 회로패턴층은 도전성 비아홀(14)로 연결하며, 상기 본드핑거(12) 및 블랜드(15)가 오픈되도록 회로패턴층을 커버코트층(16)으로 코팅한 스트립상의 회로기판(10)을 제공한다.(도6a)

<57> 여기서, 상기 회로기판(10)의 본드핑거(12)가 형성된 수지층(11)의 제2면(11b)에는 다수의 블랜드(15)를 더 형성할 수도 있으며, 마찬가지로 상기 블랜드(15)가 개방되도록 커버코트층(16)을 형성한 스트립상의 회로기판(10) 제공도 가능하다.

<58> 이어서, 상기 회로기판(10)의 관통공(18)내에 반도체칩(2)을 위치시킨다. 이때, 상기 반도체칩(2)의 입출력패드(4)가 회로기판(10)의 본드핑거(12)가 위치된 면과 동일 방향을 취하도록 한다.

<59> 바람직하기로, 상기 회로기판(10)의 관통공(18) 저면을 덮을 수 있도록 폐쇄부재(C)를 그 관통공(18) 저면에 미리 접착한 후 반도체칩(2)의 제1면(2a)이 상기 폐쇄부재(C)에 위치하도록 한다.

<60> 상기 관통공 폐쇄부재(C)는 절연테이프로 함이 바람직하며, 더욱 바람직하기로는 열이나 자외선에 의해 쉽게 벗겨질 수 있는 자외선 테이프로 한다.(6b)

<61> 상기 반도체칩(2)의 입출력패드(4)와 회로기판(10)의 본드핑거(12)가 전기적으로 접속할 수 있도록 골드와이어나 알루미늄와이어와 같은 도전성와이어 또는 도시되지 않

은 본드핑거(12)에 연장된 리드 등의 접속수단(6)으로 상기 입출력패드(4)와 본드핑거(12)를 전기적으로 접속한다.(도6c)

<62> 상기 폐쇄부재(C) 상면의 반도체칩(2), 접속수단(6), 회로기판(10)의 상면 전체를 에폭시몰딩컴파운드 또는 액상봉지재와 같은 봉지재(20)로 봉지한다. 이때, 상기 반도체칩(2), 접속수단(6) 및 회로기판(10)의 일정 영역만을 봉지재(20)로 봉지할 수도 있으며, 이는 당업자의 선택사항에 불과하다.(도6d)

<63> 상기 회로기판(10)의 저면에 형성된 볼랜드(15)에 다수의 도전성볼(30)을 용착하여 차후 마더보드에 실장 가능한 형태로 한다.(도6e) 또한, 상기 본드핑거(12)가 형성된 회로기판(10)의 상면에도 볼랜드(15)가 형성되었을 경우에는 그 볼랜드(15)에도 도전성볼(30)을 용착하여 차후 다수의 반도체패키지가 적층가능하도록 한다.

<64> 상기 도전성볼(30)을 용착하는 방법은 여러 가지가 있을 수 있으나, 스크린 프린팅(screen printing) 방법을 이용함이 바람직하다. 즉, 상기 회로기판(10)의 볼랜드(15)에 점성이 크고 끈적한 플렉스를 뜯팅(dotting)하고, 상기 뜯팅된 플렉스상에 도전성볼(30)을 가(假)접착한 후, 상기 회로기판(10)을 퍼니스(furnace)에 넣어서 상기 도전성볼(30)이 볼랜드(15)에 용착되도록 한다.

<65> 마지막으로, 상기 스트립상의 회로기판(10)을 소정의 싱글레이션툴(70)을 이용하여 각각의 독립된 반도체패키지로 분리한다.(도6f)

<66> 여기서, 상기 회로기판(10)의 볼랜드(15)에 도전성볼(30)을 용착하여 입출력단자를 형성하는 단계 전, 도전성볼(30)을 용착하여 입출력단자를 형성하는 단계 후, 또는 싱글레이션 단계 후 중 어느 한 단계에서 상기 폐쇄부재(C)를 제거함으로써, 반도체칩(2)의

제1면(2a)이 외부로 노출되도록 함이 바람직하다. 또한, 상기 절연성 테이프(C)를 제거하지 않고 그대로 제품화하는 것도 가능하다.

<67> 또한, 상기 회로기판(10)의 상면 전체에 봉지재(20)가 봉지되어 있을 경우에는 상기 봉지재(20) 및 회로기판(10)을 함께 싱글레이션함으로써 도1과 같은 반도체패키지를 얻는다.

<68> 이상에서와 같이 본 발명은 비록 상기의 실시예에 한하여 설명하였지만 여기에만 한정되지 않으며, 본 발명의 범주 및 사상을 벗어나지 않는 범위 내에서 여러가지로 변형된 실시예도 가능할 것이다.

【발명의 효과】

<69> 이와 같이 하여, 본 발명에 의한 반도체패키지 및 그 제조 방법에 의하면, 회로기판에 일정 면적의 관통공이 형성되고, 그 관통공에 반도체칩이 위치됨으로써, 그 반도체칩의 두께가 상기 회로기판의 두께에 의해 상쇄되어 결국 반도체패키지의 두께를 초박형으로 제조할 수 있는 효과가 있다.

<70> 또한, 반도체칩의 일면이 봉지재의 외부로 직접 노출됨으로써, 그 반도체칩에서 발생하는 열이 외부 공기중으로 용이하게 발산되어, 반도체칩의 열적, 전기적 성능이 향상되는 효과가 있다.

<71> 또한, 회로기판의 일면 전체에 봉지재가 봉지됨으로써 회로기판의 흡 현상을 억제할 수 있는 효과도 있다.

【특허청구범위】**【청구항 1】**

제1면과 제2면을 가지며, 상기 제2면에는 다수의 입출력패드가 형성된 반도체칩과; 제 1면과 제2면을 가지는 수지층과, 상기 수지층의 제1면에는 다수의 볼랜드가 형성되고 상기 수지층의 제2면에는 다수의 본드핑거가 형성되며 상기 볼랜드와 본드핑거는 도전성비아홀을 연결되는 회로패턴층과, 상기 다수의 본드핑거와 볼랜드를 오프닝시키며 회로패턴층을 뒤덮고 있는 커버코트층으로 구성되며, 중앙에는 관통공이 형성되어 있고, 이 관통공에는 상기 반도체칩이 위치되는 회로기판과;

상기 반도체칩의 입출력패드와 상기 회로기판의 본드핑거를 전기적으로 접속시키는 전기적 접속수단과;

상기 반도체칩, 접속수단 및 회로기판의 일부를 감싸고 있는 봉지재와;
상기 회로기판의 볼랜드에 응착된 다수의 도전성볼을 포함하여 이루어진 반도체패키지.

【청구항 2】

제1항에 있어서, 상기 반도체칩의 제2면과, 본드핑거가 형성된 회로기판 면은 동일 방향으로 형성되어 있고, 상기 반도체칩의 제1면과 볼랜드가 형성된 면의 상기 회로기판 면, 및 봉지재의 일면은 동일 평면인 것을 특징으로 하는 반도체 패키지.

【청구항 3】

제1항 또는 제2항중 어느 한 항에 있어서, 상기 봉지재는 본드핑거가 형성된 회로기판 면 전체에 형성된 것을 특징으로 하는 반도체 패키지.

【청구항 4】

제1항 또는 제2항중 어느 한 항에 있어서, 상기 블랜드는 본드핑거가 형성된 회로 기판 면에도 형성된 것을 특징으로 하는 반도체 패키지.

【청구항 5】

제4항에 있어서, 상기 본드핑거가 형성된 회로기판면의 블랜드에는 도전성볼이 용착된 것을 특징으로 하는 반도체 패키지.

【청구항 6】

제1항에 있어서, 상기 반도체칩의 제1면에는 회로기판의 관통공을 덮을 수 있도록 폐쇄부재가 더 부착되어 있는 것을 특징으로 하는 반도체 패키지.

【청구항 7】

제6항에 있어서, 상기 폐쇄부재는 절연 테이프인 것을 특징으로 하는 반도체 패키지.

【청구항 8】

제6항에 있어서, 상기 폐쇄부재는 구리충인 것을 특징으로 하는 반도체 패키지.

【청구항 9】

수지충을 중심으로 상면에는 다수의 본드핑거가 형성되고, 저면에는 다수의 블랜드가 형성되며, 상기 본드핑거와 블랜드는 도전성비아홀로 연결되고, 다수의 관통공이 형성되어 있는 스트립상의 회로기판을 제공하는 단계와;

상면에 다수의 입출력패드를 가지는 다수의 반도체칩을 상기 회로기판의 각 관통공내에 위치시키는 단계와;

상기 반도체칩의 입출력패드와 회로기판의 본드핑거를 전기적으로 접속시키는 단계 와;

상기 반도체칩, 접속수단, 및 회로기판의 일정영역을 봉지채로 봉지하는 단계와;

상기 회로기판의 볼랜드에 도전성볼을 용착하여 입출력단자를 형성하는 단계와;

상기 스트립상의 회로기판에서 날개의 반도체패키지로 싱글레이션하는 단계를 포함 하여 이루어진 반도체패키지의 제조 방법.

【청구항 10】

제9항에 있어서, 상기 반도체칩을 회로기판의 관통공내에 위치시키는 단계전에, 다수의 볼랜드가 형성된 상기 회로기판면에 관통공 폐쇄부재를 부착하는 단계를 더 포함하여 이루어진 것을 특징으로 하는 반도체패키지의 제조 방법.

【청구항 11】

제10항에 있어서, 상기 회로기판의 볼랜드에 도전성볼을 용착하여 입출력단자를 형성하는 단계 전, 또는 도전성볼을 용착하여 입출력단자를 형성하는 단계 후, 또는 싱글레이션 단계 후 중 어느 한 단계에서 상기 폐쇄부재를 제거하는 것을 특징으로 하는 반도체패키지의 제조 방법.

【청구항 12】

제10항 또는 제11항중 어느 한 항에 있어서, 상기 폐쇄부재는 절연 테이프를 이용 한 것을 특징으로 하는 반도체패키지의 제조 방법.

【청구항 13】

제12항에 있어서, 상기 절연 테이프는 자외선 테이프인 것을 특징으로 하는 반도체 패키지의 제조 방법.

【청구항 14】

제10항 또는 제11항 중 어느 한 항에 있어서, 상기 폐쇄부재는 구리충인 것을 특징으로 하는 반도체 패키지의 제조 방법.

【청구항 15】

제9항에 있어서, 상기 봉지 단계는 본드핑거가 형성된 회로기판 면 전체에 형성함을 특징으로 하는 반도체 패키지의 제조 방법.

【청구항 16】

제9항에 있어서, 상기 싱글레이션 단계는 봉지재와 회로기판을 함께 싱글레이션함을 특징으로 하는 반도체 패키지의 제조 방법.

【청구항 17】

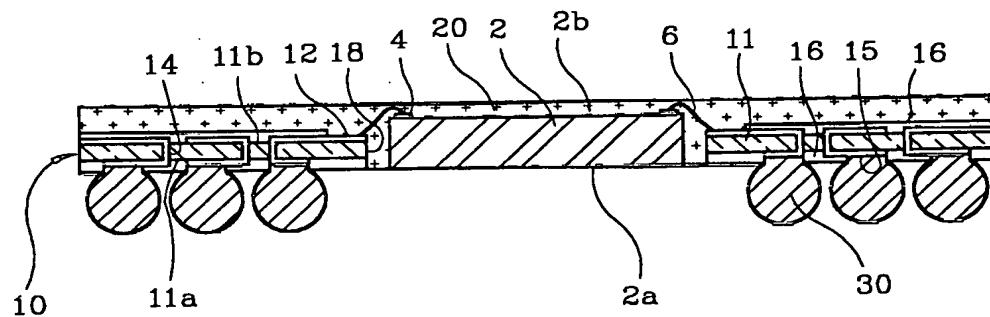
제9항에 있어서, 상기 회로기판 제공 단계는 본드핑거가 형성된 회로기판 면에도 다수의 볼랜드를 형성하는 것을 특징으로 하는 반도체 패키지의 제조 방법.

【청구항 18】

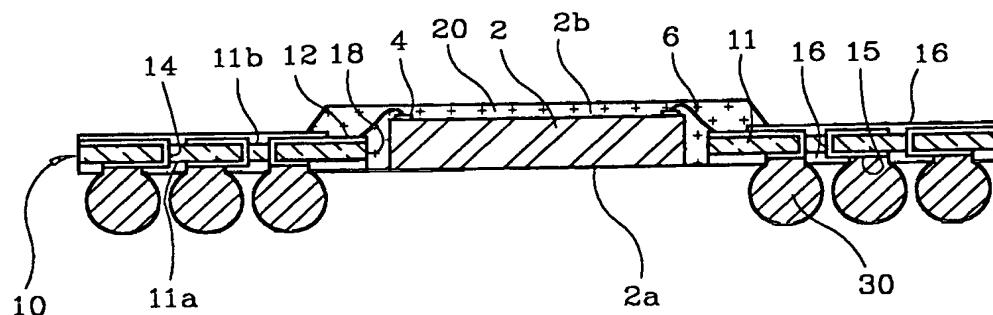
제17항에 있어서, 상기 도전성볼 용착 단계는 상기 본드핑거가 형성된 회로기판 면의 볼랜드에도 다수의 도전성볼을 용착하는 것을 특징으로 하는 반도체 패키지의 제조 방법.

【도면】

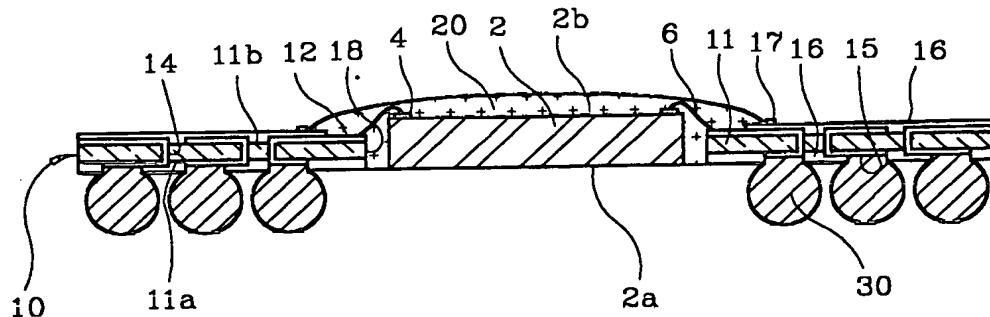
【도 1】



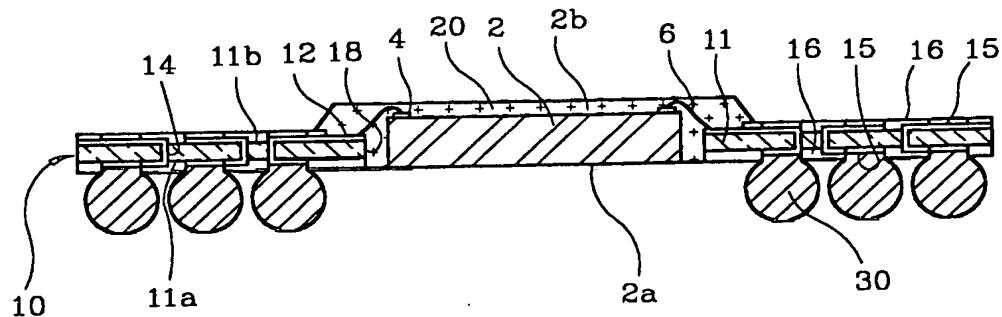
【도 2】



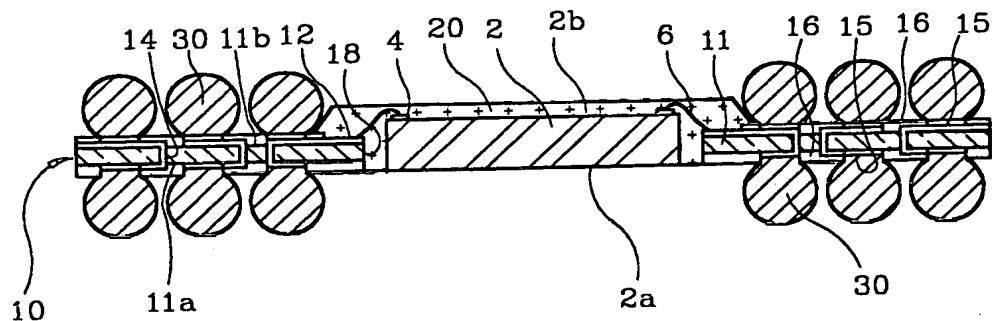
【도 3】



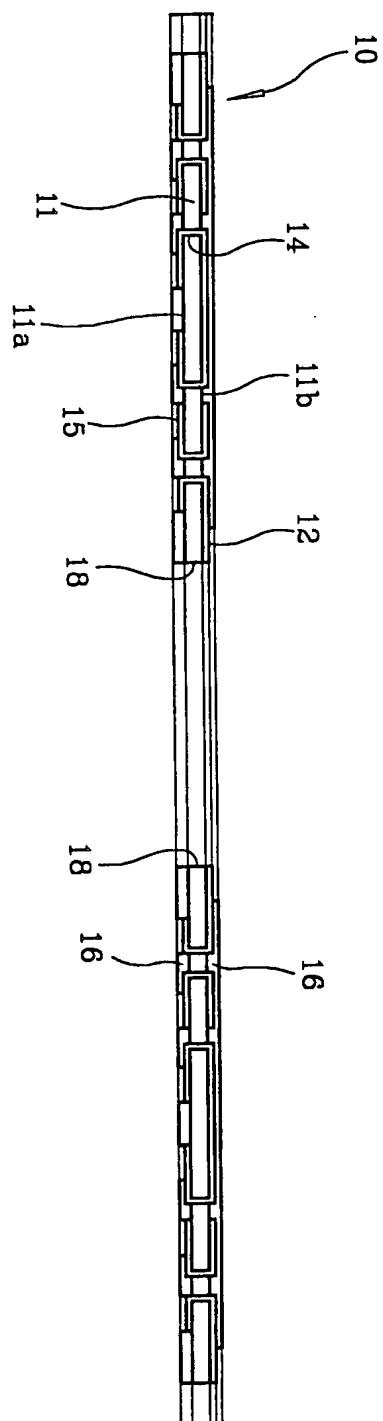
【도 4】



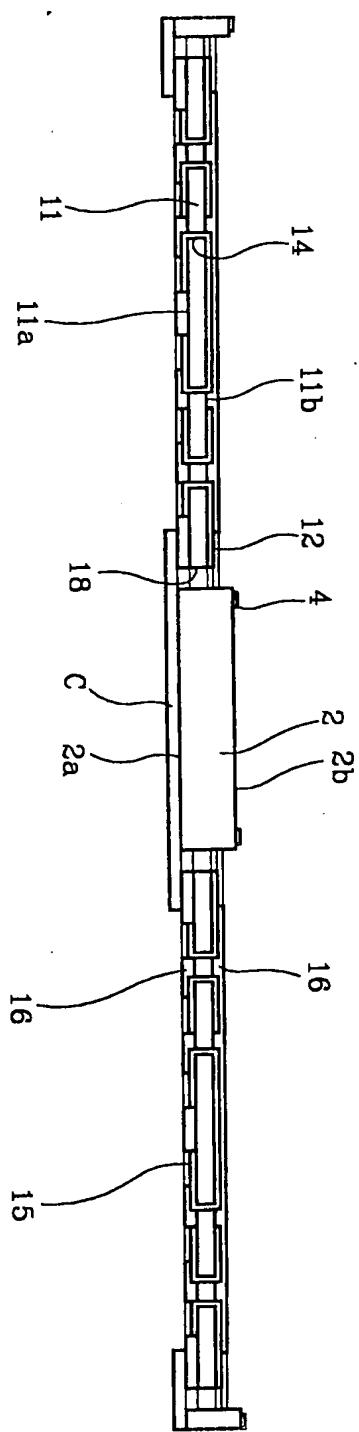
【도 5】



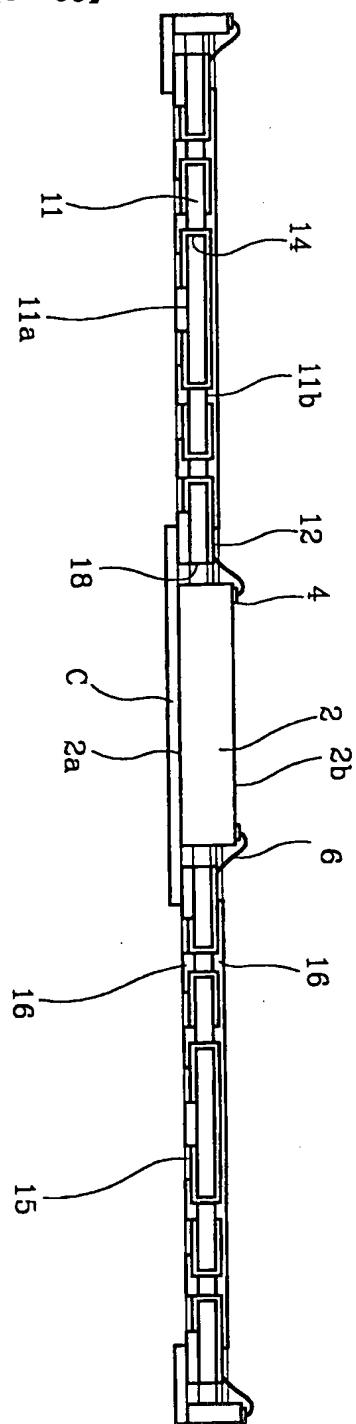
【도 6a】



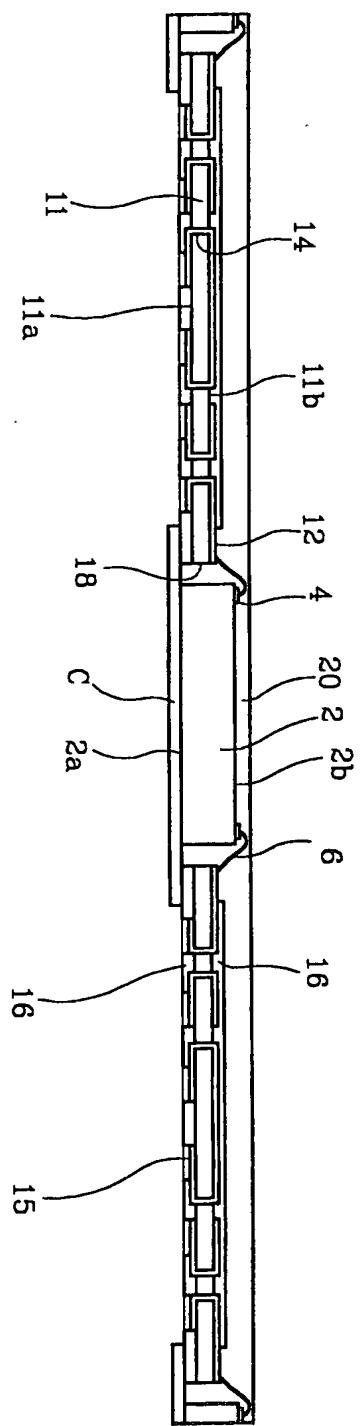
【도 6b】



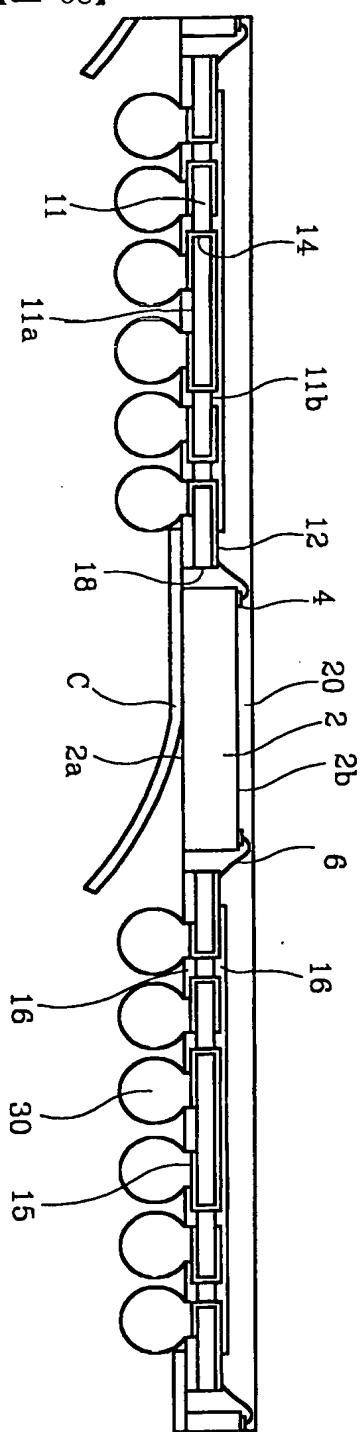
【도 6c】



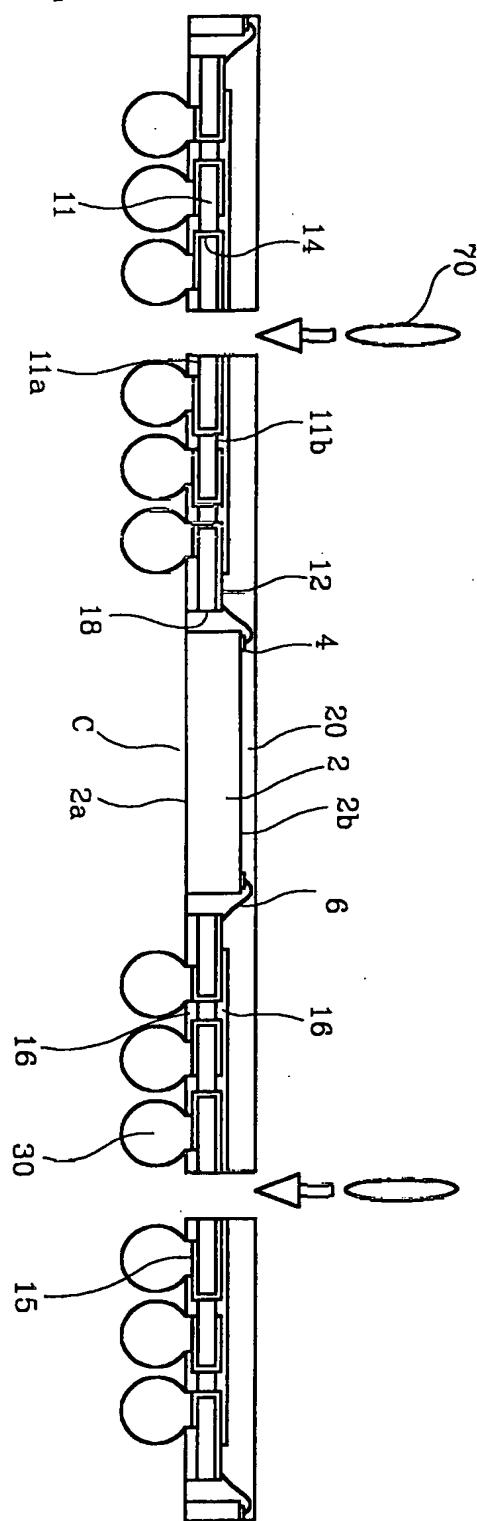
【도 6d】



【도 6e】



【도 6f】



【도 7】

